2. 简单回答下列问题

1. 计算机内部为何要采用层次化存储体系结构？

存储系统设计目标是访问速度近似等于存储周期中最小者、容量与最大者相近、每位价格接近最便宜者。所以要采取层次化体系结构降低价格、增大容量、增加速度

层次化存储体系结构如何构成？

两个或两个以上速度、容量和价格不相同的存储器用硬件、软件或硬件与软件结合的方法连成系统。在计算机速度从慢到快依次为外存、主存、高速缓冲、寄存器

1. SRAM芯片和DRAM芯片各有那些特点？各自用在那些场合？

SRAM：利用双稳态触发器来保存信息，只要不断电信息就不会丢失。集成度低，成本高，功耗较大。通常作为高速缓冲存储器cache的存储体。

DRAM：利用MOS电容存储电荷来保存信息，使用时需要不断给电容充电才能保持信息。电路简单，集成度高，成本低，功耗小，但需要反复进行刷新（Refresh）操作，工作速度较慢。适合作为主存储器的主体部分

1. CPU和主存之间有两种通讯定时方式？SDRAM芯片采用什么方式和CPU交换信息？

集中刷新和异步刷新。

SDRAM是同步存储芯片，每步操作都在系统时钟控制下进行。有确定的等待时间（读命令开始到数据线有效的时间, 称为CAS潜伏期）CL，例如 CL=2 clks。连续传送（Burst）数据个数 BL=1 / 2 / 4 / 8。多体(缓冲器)交叉存取

1. 为什么CPU和主存之间引入cache能提高CPU访存效率？

因为Cache直接制作在CPU芯片内，速度几乎与CPU一样快。先将主存的内容载入到cache中，需要的时候CPU直接从cache中调用。

1. 为什么说cache对程序员是透明的？

cache全部由硬件调度，不受到操作系统和程序员的控制，所以对系统和应用程序员是透明的

3.

1. 每个内存条需要8个这样的DRAM芯片，进行位扩展。
2. 需要4个这样的内存条。
3. 主存地址有32位，假设从最高位到最低位分别为32 到1。

26到1位用于DRAM芯片内地址

26到14位用于片内行地址

13到1位用于片内列地址

32到27位用于选择芯片

10.

1. 主存地址有30位

第30位到第17位为主存标记，在cache中做标记，表明在主存中的哪一个块群。

第16到第8位为cache索引，表示在cache中位置

第7位到第1位为块内地址，表示在cache或主存中每个分块内的地址。

1. Cache总容量有512Kbit，即512K位

11.

（1）第一次：访问地址2（00…10），未在cache中，缺失，在主存中将区号为0，块号为0的1个字（4个字节）的内容取出放入到cache中块号为0的地方，标记tag为区号0。

第二次：访问地址3（00…11），区号0，块号0，此时在cache中的0块中找到tag标记为0，匹配，所以命中

以此类推，一共缺失11次，命中率5/16=0.3125

13.

空间局部性中间的最好，右边的最差。

右边的执行的p[i][j]，i在内层循环，j在外层循环。每次执行p[i][j]的时候，每次循环i增加1，p[i]的地址的空间距离会很大，需要不断的访问内存。而p[j][i]的访问方法每次i增加后p[j]的地址不变，p[j][i]只有很小的改变，空间距离更近，所以空间局限性远好于p[i][j]。

左边的比中间的内层循环多，所以每次执行完内层的第一个循环都要重新加载cache再执行内层第二个循环，而中间的就可以省去这个步骤。所以中间的好于左边的。